Simon Baumgartner
ETHZ

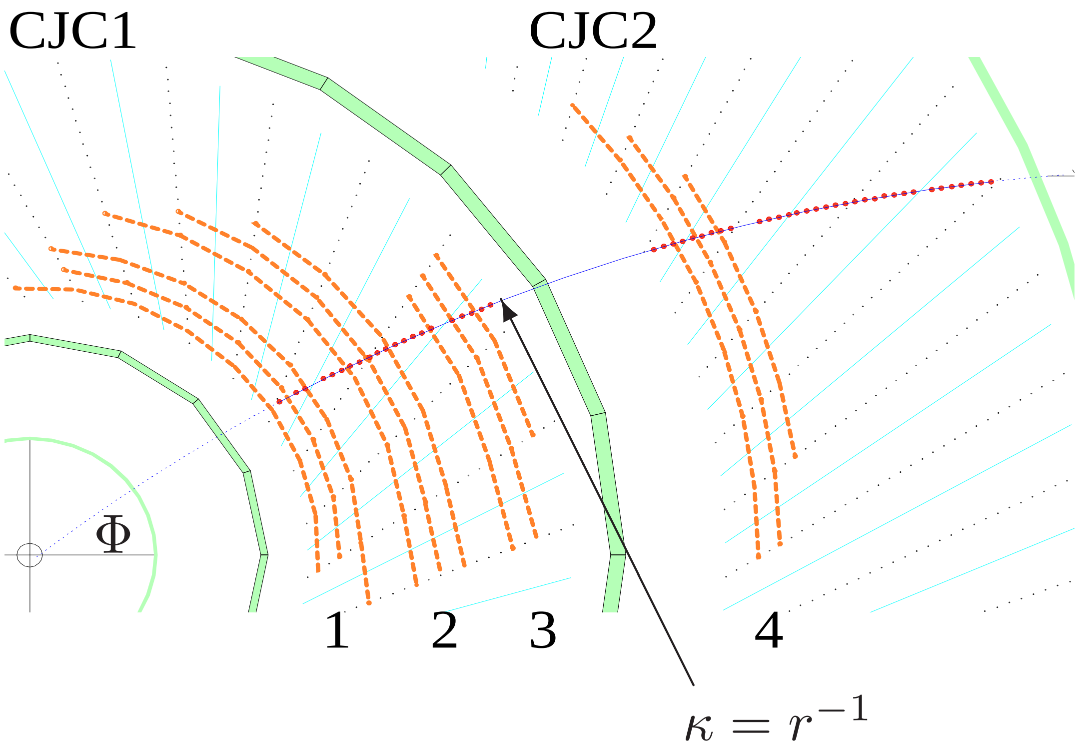
Eine Multifunktionale Prozessorkarte für den Fast Track Trigger (FTT) bei

Übersicht

- Einführung: Der FTT bei H1
- Die Multifunktionale Prozessorkarte (MPB)
- Die verschiedenen Funktionen der Karte
- Zusammenfassung

Der FTT bei H1 (I)

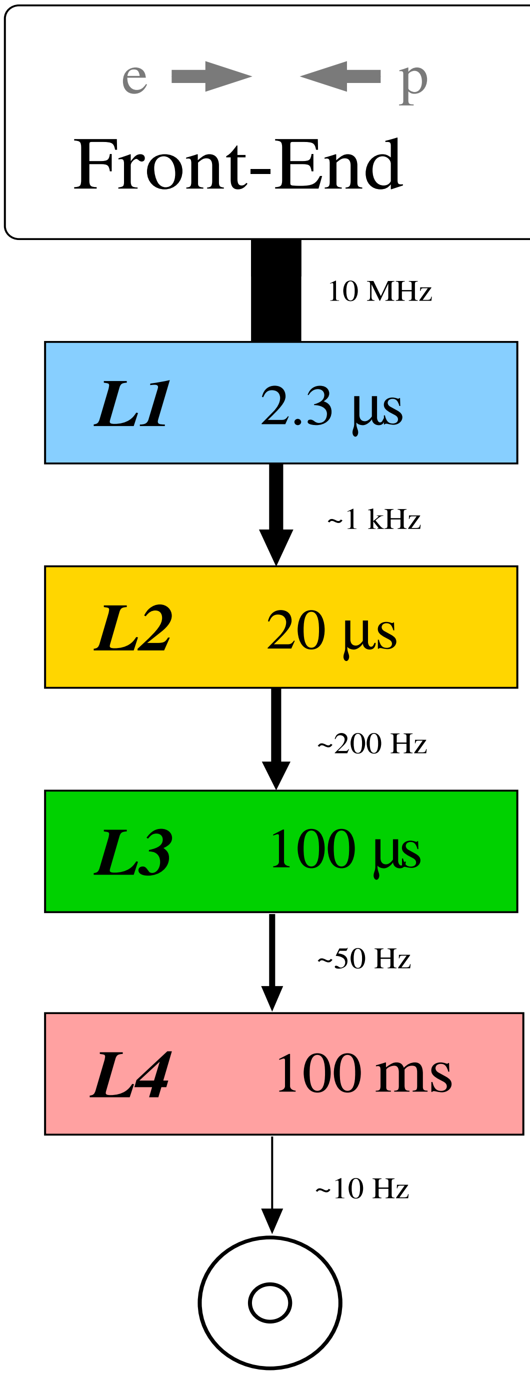
- HERA 2000 Upgrade: Luminosität (x5)
- Brauche effiziente, neue Trigger für das H1 Experiment
- Idee: Triggere auf exklusive Spuren/Topologien in der H1 Spurkammer (CJC) $\Rightarrow$ **FTT**



- Betrachte 4 Triggerlagen zu je 3 Drähten in der Spurkammer
- Ein geladenes Teilchen liefert in jeder Lage ein (κ, Φ)-Paar (Spursegment)

Der FTT bei H1 (II)

- H1 Trigger System:



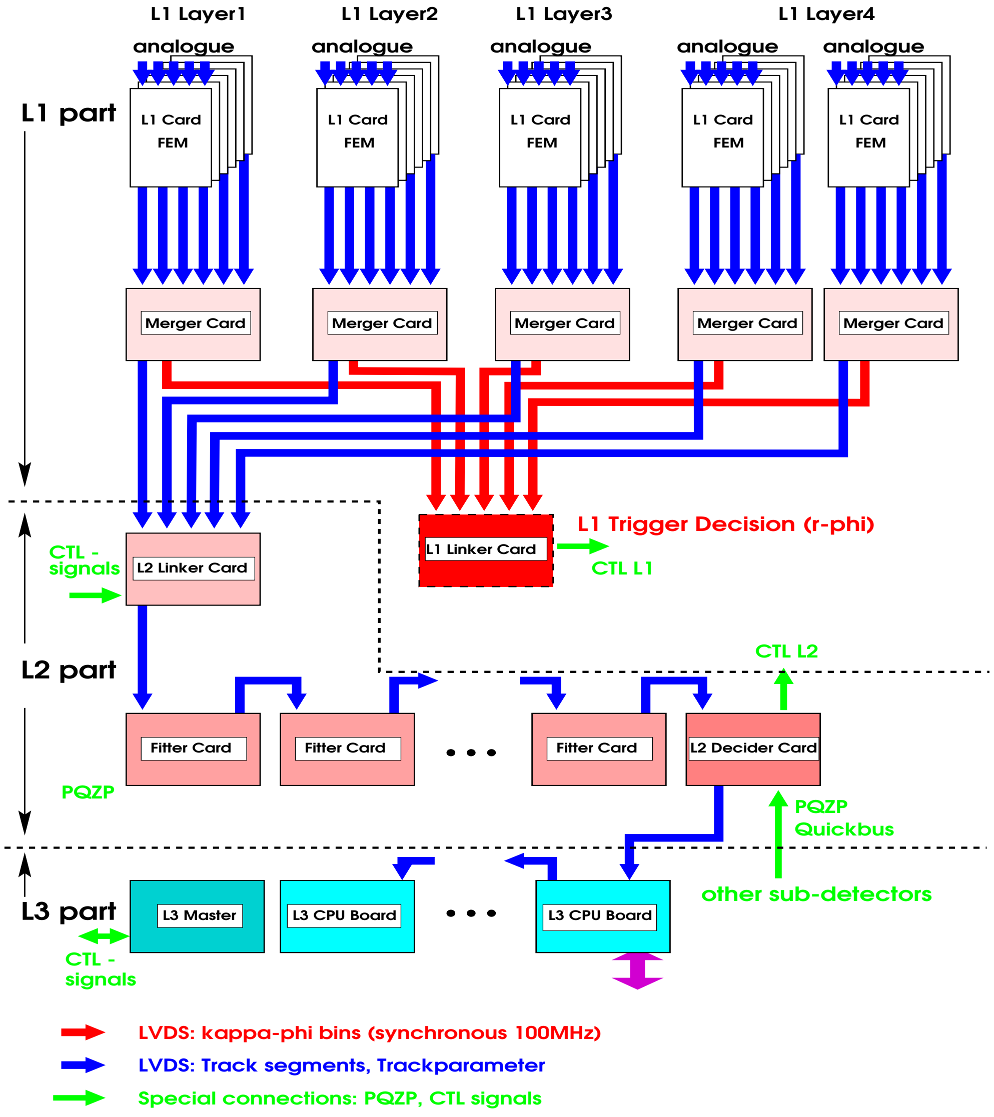
- 4-stufiges Triggersystem, Datenreduktion: 10^6

Der FTT im Überblick

- FTT L1: $\sim$2.3 μs
  1. Finde Tracksegmente
  2. Linke Tracksegmente (grob)
- FTT L2: $\sim$20 μs $\rightarrow$ dieser Vortrag
  1. Linke Tracksegmente
  2. Fitte gelinkte Spuren in 3D
  3. Berechne Impulssummen, Spurmultiplizitäten
- FTT L3: $\sim$100 μs

  $\rightarrow$ nächster Vortrag
- Speziell: rot/rötlich gezeichnete Karten sind vom selben Typ: Merger, Linker, Fitter, Decider

  $\Rightarrow$ MultiPurpose Boards (MPB)

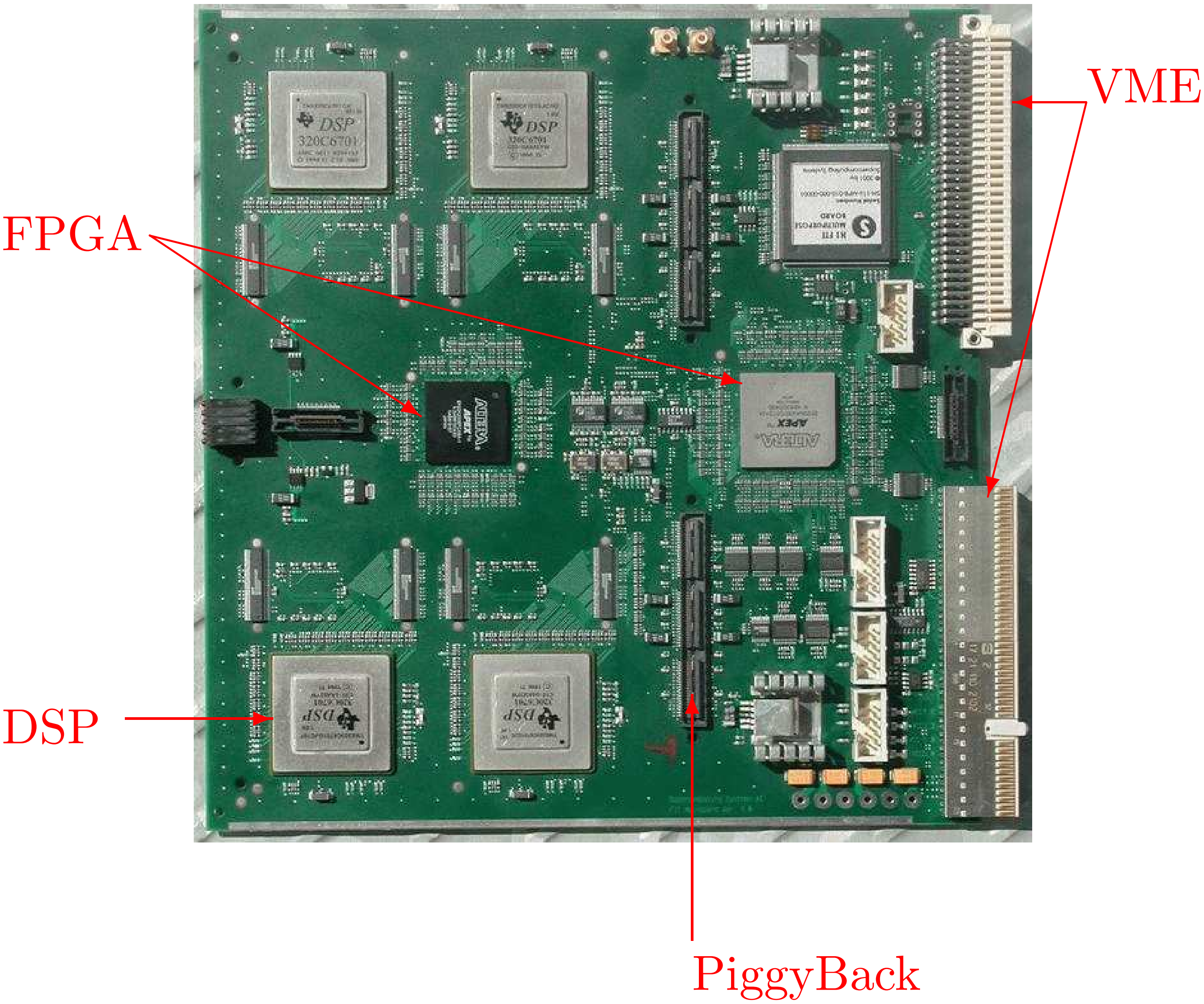


Die Multifunktionale Prozessorkarte (MPB)

- Das Ziel:
  Baue den FTT Level 2 mit Hilfe einer einzigen Standard VME Karte
- Die Anforderungen:
  1. Komplette Programmierbarkeit über VME
  2. Floating Point Operationen (Spurfit)
  3. Paralleles Lookup von Spurdaten (Spurlink)
  4. Schneller Datenlink zu anderen MPBs
- Die Vorteile:
  1. Vereinfachtes System
  2. Erweiterbarkeit
  3. Flexibilität
  4. Kostenreduktion

Die Multifunktionale Prozessorkarte II

- Das Multipurpose Board:



- Entwickelt von:

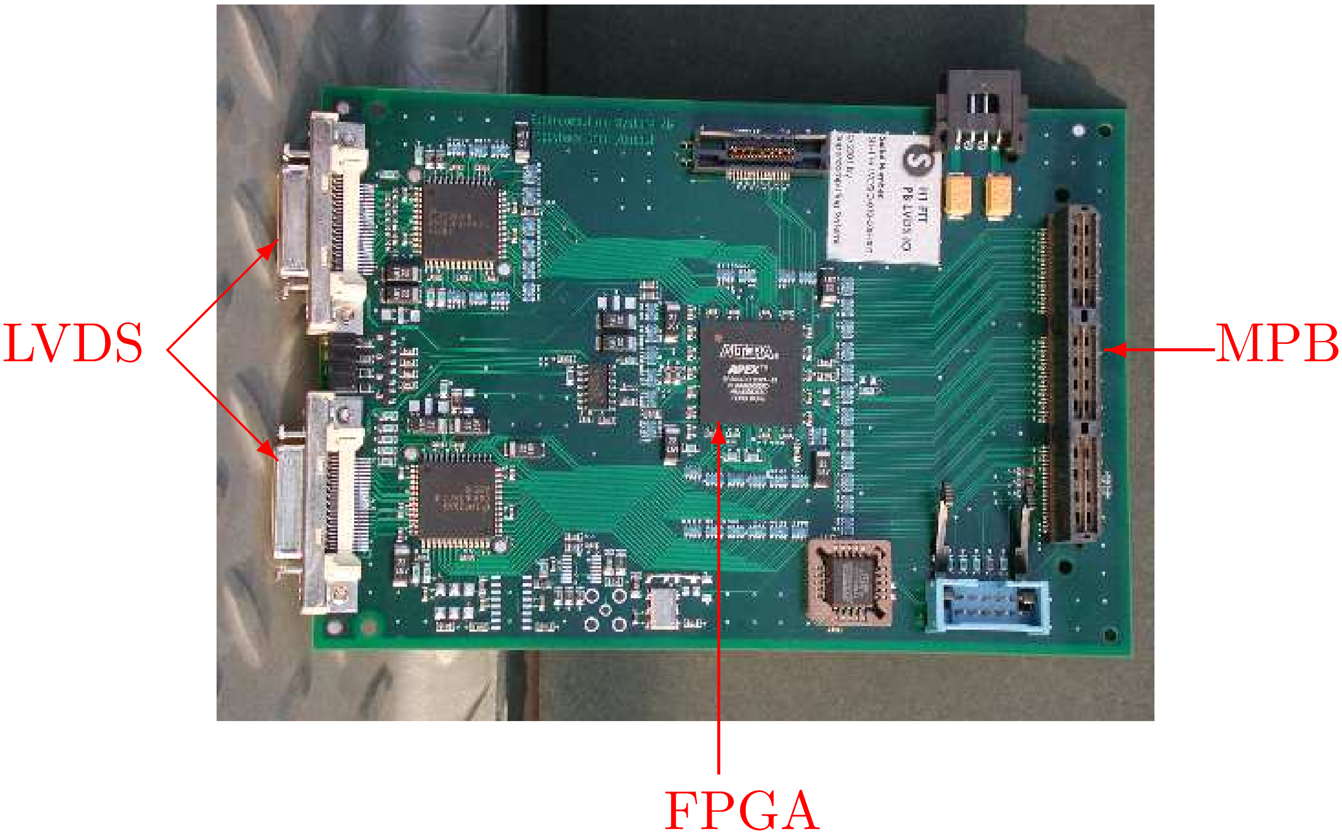
Supercomputing Systems

ETH
Eidgenössische Technische Hochschule Zürich
Swiss Federal Institute of Technology Zurich

UNI DO

Die Datenübertragung (I)

Die Hardware (PiggyBacks):



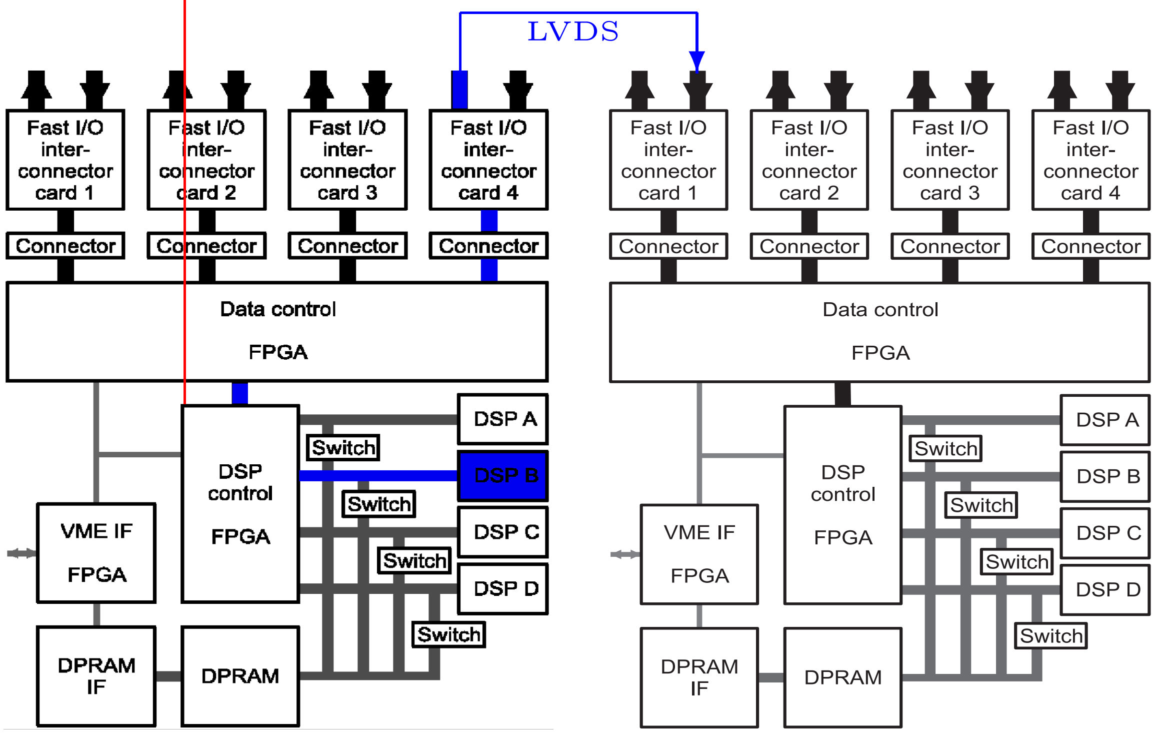
- Max. 4 PiggyBack Karten pro MPB
- Low Voltage Differential Signaling (LVDS)
  für den Datentransport zw. den Boards
  Hohe Geschwindigkeiten: $\sim$5 Gbit/s
- Max. Datentransfer von $\sim$20 Gbit/s pro MPB

Die Datenübertragung (II)

Die Software:

- Daten werden in Messages verpackt und mit einer Empfängeraddresse versehen
- Messages werden in jedem FPGA gemäss einer Routingtabelle weiterverschickt. Bsp:

Empfänger	...schicke an
...	...
Decider	DataCtrl
...	...

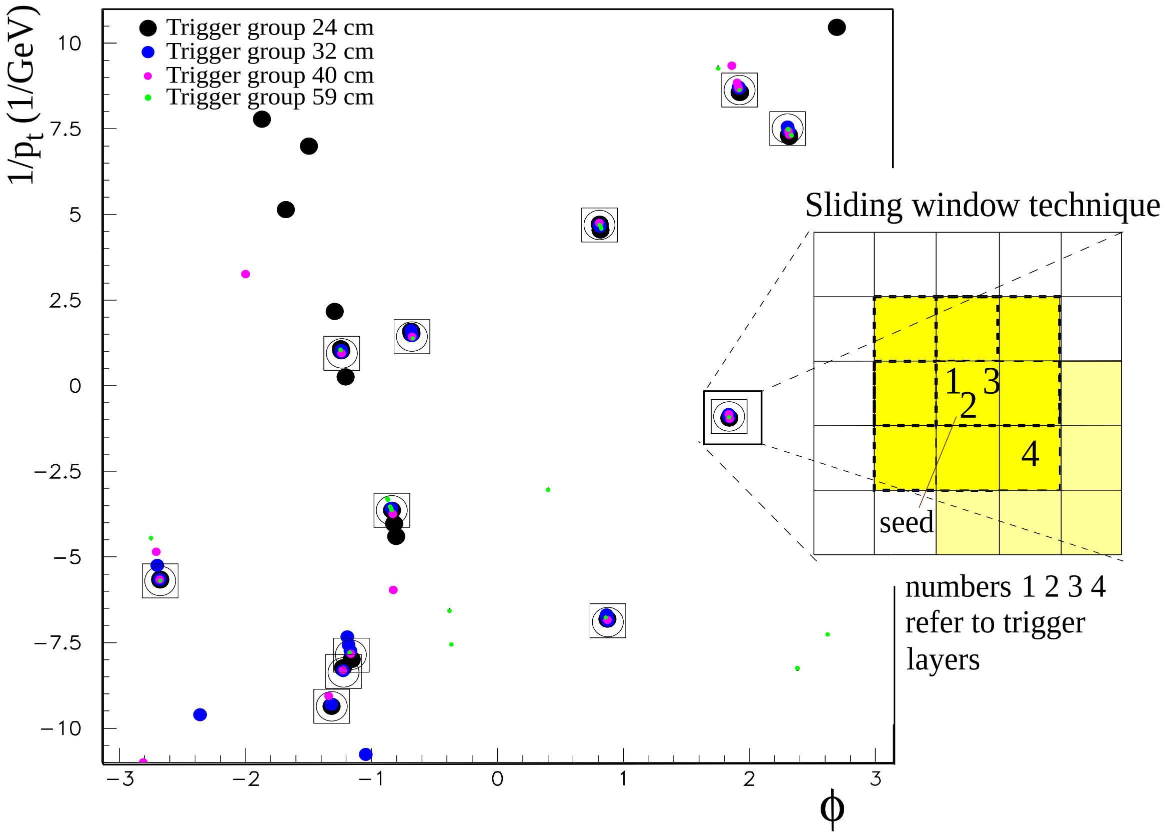


L2-Fitter L2-Decider

- Routingtabellen können während des Betriebs an jedes Hardwaresetup angepasst werden

Der FTT Level 2 Spurlinker

- Realisierung in FPGA (Altera APEX20K600)
- Input: 40x640 Bin (κ, Φ)-Histogramm der Tracksegemente
- Konzept: Sliding Window Technique



Die FTT Level 2 Spurfitter

- Verwende nicht iterative Fitalgorithmen in DSPs
- Fit in 2 Schritten:
  1. Kreisfit in r-Φ-Ebene
  2. Fit in r-z-Ebene
- 2 Spurfits pro DSP in der L2-Latenzzeit ($\sim 3.2\mu$s pro Fit)
- Auflösungen:
  $\frac{\sigma(p_t)}{p_t} \approx 0.04$ GeV$/p_t$ und $\sigma(\Phi) \approx 6$ mrad

Zeitbudget Level 2

Task	**Zeit** [μs]	**Totale Zeit** [μs]
CAM/RAMs füllen	2.56	2.56
Linkalgorithmus	5.12	7.68
Fit 1	3.19	10.87
Fit 2	3.19	14.06
Decider	2.50	16.56
Datentransport	2.80	19.36 μs

- FTT L2 läuft in <20 μs

ZUSAMMENFASSUNG

- Der FTT Level 2 wird allein aus multifunktionalen Prozessorboards (MPB) zusammengesetzt
- Ein Aufbau mit 8 MPB-Karten realisiert innert $\sim$20 μs einen kompletten Spurlink und 3D-Fit von bis zu 48 Spuren
- Das System ist modular, dadurch erweiterbar
- Die Karte kann für komplett andere Systeme eingesetzt werden. Die Frage ist nicht, was die Karte kann, sondern: "Was kann sie nicht?"
- Der Fast Track Trigger bei H1 soll diesen Sommer in Betrieb gehen

...COMING SOON